

TRABALHO INDIVIDUAL

COMPUTADOR DIGITAL TRANSISTORIZADO ITA II

ORIENTADORES :

PROF. TIEN WEI CHU

PROF. RICHARD R. WALLAUSCHEK

PROF. ALFRED VOLKMER

PROF. TERCIO PACITTI

ALUNOS :

FLÁVIO DE LACERDA ABREU

MÁRIO DE MEDEIROS BETHLEM

MAURICIO KURCGANT

NORIVAL FERRARI

ITA      DIVISÃO DE ELETRÔNICA      1962

MINISTÉRIO DA AERONÁUTICA  
CENTRO TÉCNICO DE AERONÁUTICA  
BIBLIOTECA CENTRAL

29366

351119

São José dos Campos, 22 de novembro de 1962.

Ilmo. Sr. Prof.  
Capt. Tércio Pacitti

Prezado Prof. Pacitti

Com este relatório vimos apresentar a primeira fase de construção de um computador digital transistorizado, paralelo, para futuro uso da Divisão. O ITA-II ganha aqui já o seu aspecto, e ficam as informações para que sua obra possa ser continuada.

Ao agradecer as colaborações dos professores que supervisionaram esse trabalho, desejamos nos deter na figura já não existente, do Prof. Wallauschek que foi o idealizador do ITA-II e por certo tempo o único a defender e justificar sua existência. Se nos reunimos para a construção de tal computador, o devemos a ele, e à sua memória dedicamos esse trabalho, junto com os nossos protestos de agradecimento, admiração, respeito e saudade.

Atenciosamente

Flávio de Lacerda Abreu  
Mário de Medeiros Bethlem  
Maurício Kurcgant  
Norival Ferrari



## CAPÍTULO I - INTRODUÇÃO

O presente trabalho é o início de um computador que quando encerrado deverá realizar operações das mais diversas e com números de tal ordem de grandeza que tornem possível sua utilização em vários campos de aplicação.

Trata-se de um computador digital paralelo transistorizado que conterá 4.096 endereços em memória de anéis magnéticos, com 32 bits em cada palavra, o que permitirá operar com números até ordens de grandeza de  $10^{10}$  ou  $10^{-10}$ . O sistema de funcionamento é o binário de modo que quando completo, como complemento obrigatório conterá o computador um conversor decimal-binário na entrada e um binário-decimal na saída. Por dificuldades de ordem mecânica pretende-se que na entrada o carregamento da máquina seja feito por um teclado enquanto que a saída será feita por meio de um painel de lâmpadas indicadoras.

Apresentamos neste trabalho as seguintes inovações em relação ao computador digital precedente - ITA I:

1) memória de núcleos magnéticos; este tipo de memória tem vantagem de possuir grande capacidade de armazenamento de dados em pouco espaço além de grande confiabilidade.

2) utilização de circuitos impressos; este tipo de circuito tem como vantagem a facilidade e rapidez de montagem além de apresentar menores problemas de contato.

3) utilização de circuitos padronizados na menor quantidade possível de tipos diferentes de modo as placas poderem ser substituíveis facilmente num ou noutro ponto do computador tornando mais fácil a manutenção.

O problema mais sério que surgiu foi o da aquisição de material principalmente no que se refere ao material

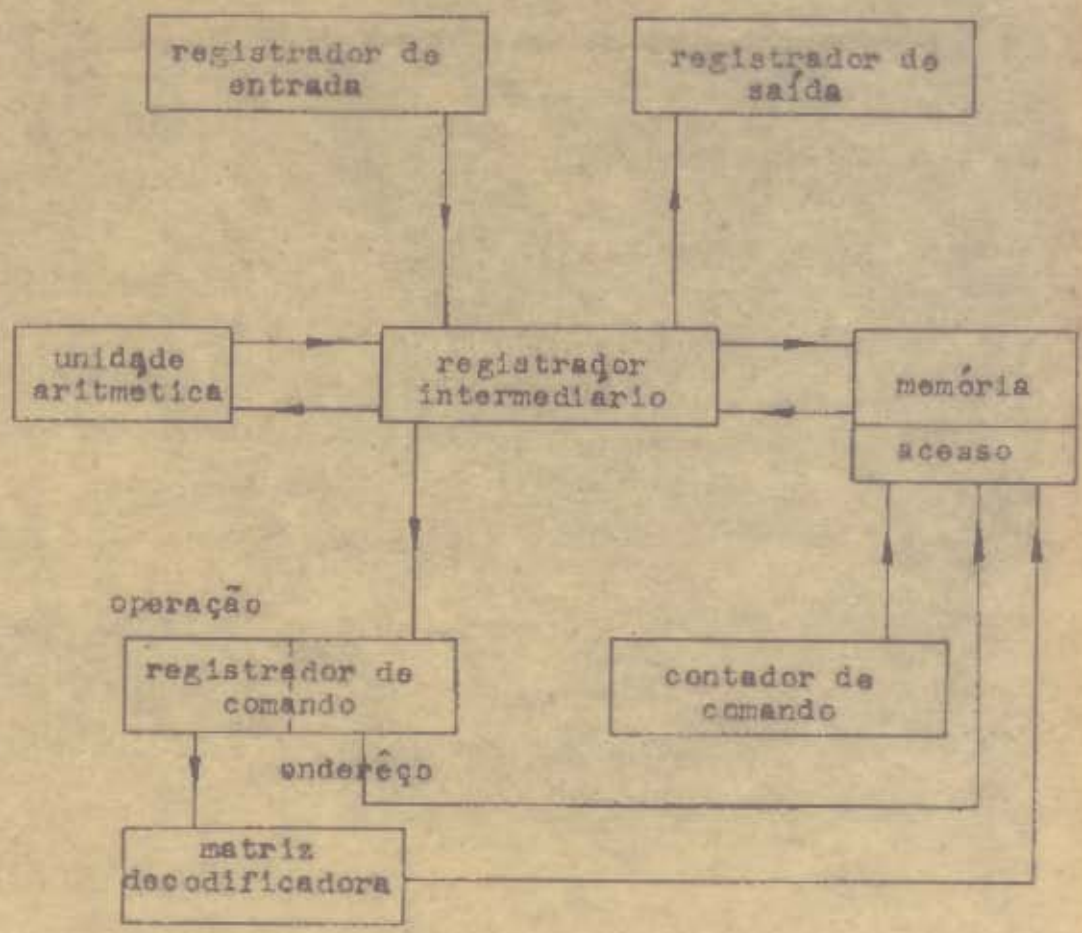
importado. Este constou dos sequetes lineares de produção francesa (SOCAPEX) trazidos da Europa pelo Prof. Wallauschek além de transistores ASY-26 e ASY-27 de fabricação holandesa (PHILIPS), além de núcleos magnéticos também holandeses.

Para bom andamento dos trabalhos, os participantes deste trabalho separaram-se em 2 grupos; enquanto o grupo Flávio-Bethlem estudou os problemas relativos à memória magnética, o grupo Ferrari-Maurício ficou responsável pela parte lógica do aparelho.



CAPÍTULO II

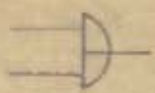
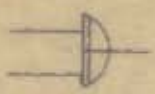
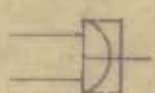
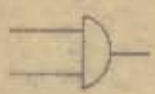
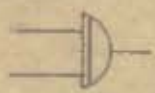
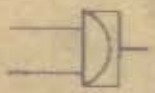
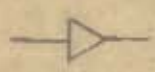



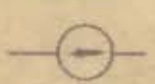
DIAGRAMA DE BLOCOS



CAPÍTULO III

DIAGRAMA LÓGICO

A simbologia por nós usada foi a seguinte :

-  circuito porta OR de 2 entradas (1 só circuito)
-  circuito porta OR de 2 entradas (1 circuito por bit)
-  circuito porta NOR de 2 entradas (1 só circuito)
-  circuito porta AND de 2 entradas (1 só circuito)
-  circuito porta AND de 2 entradas (1 circuito por bit)
-  circuito porta NAND de 2 entradas (1 só circuito)
-  Inversor
-  multivibrador bi-estável
-  multivibrador mono-estável
-  multivibrador oscilante
-  seguidor de emissor



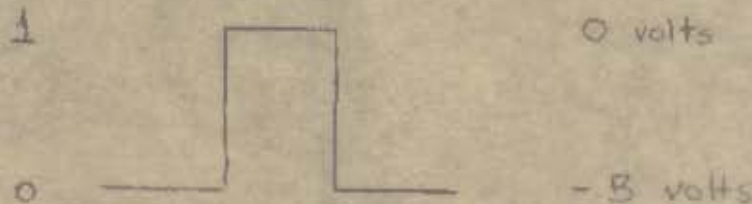
### OBSERVAÇÕES PRELIMINARES

Devido a simplicidade de construção e economia conseguidas empregando circuitos porta tipo NOR e NAND, estes circuitos serão usados preferencialmente aos tipos OR e AND, sempre que possível. Entretanto para maior facilidade de compreensão do diagrama lógico total usou-se somente circuitos OR e AND neste diagrama. Já no capítulo VI onde veremos detalhadas as partes efetivamente construídas, representaremos os circuitos como foram realmente usados.

Adotamos como níveis lógicos em nossos circuitos os seguintes valores:

sinal em -B volts	nível 0
sinal em 0 volts	nível 1
conforme esquema abaixo	
1	0 volts
0	-B volts

Outro detalhe que devemos citar desde já é que os multivibradores dispararam somente com gatilhos positivos, isto é, quando o pulso aplicado à sua entrada passa do estado 0 ao estado 1.



### CAPÍTULO IV

## SEQUÊNCIA LÓGICA DO CARREGAMENTO E OPERAÇÕES DO COMPUTADOR

### SÍMBOLOS USADOS

- R.A      Registrador de acesso
- R.E      Registrador de entrada
- R.S      Registrador de saída
- R.I      Registrador intermediário
- R.C      Registrador de comando
- ACC      Acumulador
- A        Endereço contido no R.C
- CC        Contador de comando
- BIEN     Multivibrador biestável de entrada
- BIPAR    Multivibrador bi-estável de partida
- BIARIT   Multivibrador bi-estável de operação aritmética
- BICONT   Multivibrador bi-estável de operação de controle
- PFAR     Pulso de fim de operação aritmética
  
- (x)        Conteúdo de X
- ((x))     Conteúdo do endereço indicado em X

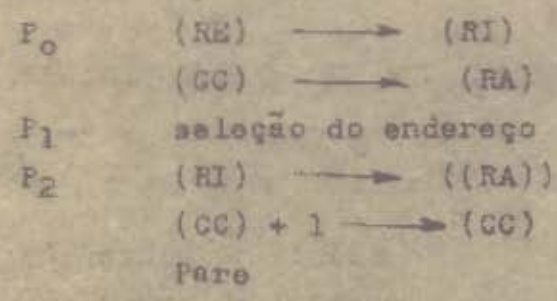
### SEQUÊNCIA DE OPERAÇÃO

- A - LIGUE O RELÓGIO
- B - RESET GERAL
- C - CARREGAMENTO DAS INSTRUÇÕES OU DADOS
  - C-1 Ligue a chave de entrada (BIEN) em carregar
  - C-2 Set o contador de comando (CC) para o endereço onde se deseja colocar a primeira instrução ou dado



C-3 Set a instrução ou dado no (RE)

C-4 Pressione a partida



D - EXECUTE NOVAMENTE C-2 e C-3 OU SOMENTE C-3 SE A PRÓXIMA INSTRUÇÃO FOR COLCADA NO ENDENEÇO SEGUINTE. VOLTE A C-4

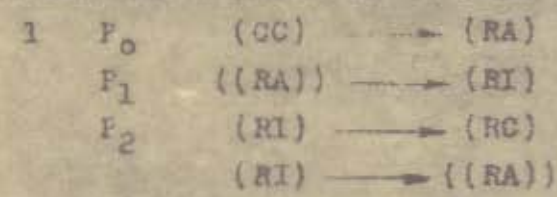
E - DESLIGUE A CHAVE DE ENTRADA APÓS O TÉRMINO DO CARREGAMENTO

F - RESET GERAL

G - PROCESSAMENTO

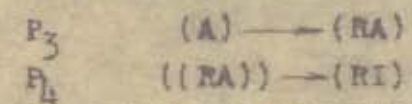
G - 1 Set o CC para o endereço da primeira instrução a ser executada.

G - 2 Pressione a partida. Vá para 1

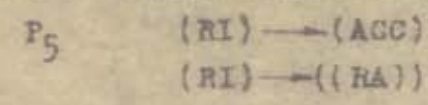


- 2 Interpretação do código
- Código 3: OPERAÇÃO ARITMÉTICA
- Código 4: OPERAÇÃO CONTRÔLE
- Código 5: OPERAÇÃO ARMAZENAR
- Código 6: OPERAÇÃO SAÍDA

CÓDIGO 3 OPERAÇÃO ARITMÉTICA

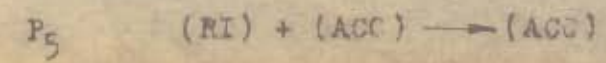


SUB-CÓDIGO a LIMPE O ACUMULADOR E SOME



P<sub>FAR</sub> (CC) + 1 → (CC) Volte a 1

SUB-CÓDIGO b SOME



		$(RI) \longrightarrow ((RA))$	
	$P_{PAR}$	$(CC) + 1 \longrightarrow (CC)$	Volte a 1
SUB-CÓDIGO c		LIMPE O ACUMULADOR E SUBTRAIA	
	$P_5$	$-(RI) + (ACC) \longrightarrow (ACC)$	
		$(RI) \longrightarrow ((RA))$	
	$P_{PAR}$	$(CC) + 1 \longrightarrow (CC)$	Volte a 1
SUB-CÓDIGO d		SUBTRAIA	
	$P_5$	$(ACC) - (RI) \longrightarrow (ACC)$	
		$(RI) \longrightarrow ((RA))$	
	$P_{PAR}$	$(CC) + 1 \longrightarrow (CC)$	Volte a 1
SUB-CÓDIGO e		MULTIPLIQUE	
	$P_5$	$(ACC) * (RI) \longrightarrow (ACC)$	
		$(RI) \longrightarrow ((RA))$	
	$P_{PAR}$	$(CC) + 1 \longrightarrow (CC)$	Volte a 1
SUB-CÓDIGO f		DIVIDA	
	$P_5$	$(ACC) : (RI) \longrightarrow (ACC)$	
		$(RI) \longrightarrow ((RA))$	
	$P_{PAR}$	$(CC) + 1 \longrightarrow (CC)$	Volte a 1
SUB-CÓDIGO g		DIVISÃO INVERSA	
	$P_5$	$(RI) : (ACC) \longrightarrow (ACC)$	
		$(RI) \longrightarrow ((RA))$	
	$P_{PAR}$	$(CC) + 1 \longrightarrow (CC)$	Volte a 1
SUB-CÓDIGO h		SUBTRAÇÃO INVERSA	
	$P_5$	$(RI) - (ACC) \longrightarrow (ACC)$	
		$(RI) \longrightarrow ((RA))$	
	$P_{PAR}$	$(CC) + 1 \longrightarrow (CC)$	Volte a 1

se em qualquer caso houver OVERFLOW em lugar de  $P_{PAR}$ , desligue a partida.

CÓDIGO 4		OPERAÇÃO CONTRÔLE	
SUB-CÓDIGO i		TRANSFIRA	
	$P_3$	BICONT <u>Registre</u>	
	$P_4$	$(A) \longrightarrow (CC)$	
	$P_5$	BICONT <u>Conte</u>	Volte a 1



SUB-CÓDIGO j	TRANSFIRA SE (ACC) = 0
P <sub>3</sub>	(ACC) ≠ 0 (CC) + 1 → (CC)
	(ACC) = 0 BICONT REGISTRE
P <sub>4</sub>	(A) → (ACC)
P <sub>5</sub>	BICONT CONTE Volte a 1
SUB-CÓDIGO k	TRANSFIRA SE (ACC) ≥ 0
P <sub>3</sub>	(ACC) ≤ 0 (CC) + 1 → (CC)
	(ACC) > 0 BICONT REGISTRE
P <sub>4</sub>	(A) → (CC)
P <sub>5</sub>	BICONT CONTE Volte a 1
SUB-CÓDIGO l	TRANSFIRA SE (ACC) < 0
P <sub>3</sub>	(ACC) ≥ 0 (CC) + 1 → (CC)
	(ACC) < 0 BICONT REGISTRE
P <sub>4</sub>	(A) → (CC)
P <sub>5</sub>	BICONT CONTE Volte a 1
CÓDIGO 5	OPERAÇÃO ARMazenAR
P <sub>3</sub>	(A) → (RA)
P <sub>4</sub>	(ACC) → (RI)
	Seleção do endereço
P <sub>5</sub>	(RI) → ((RA))
	(CC) + 1 → (CC) Volte a 1
CÓDIGO 6	OPERAÇÃO SAÍDA
P <sub>3</sub>	(A) → (RA)
P <sub>4</sub>	((RA)) → (RI)
P <sub>5</sub>	(RI) → (RS)
	(RI) → ((RA))
	Pare

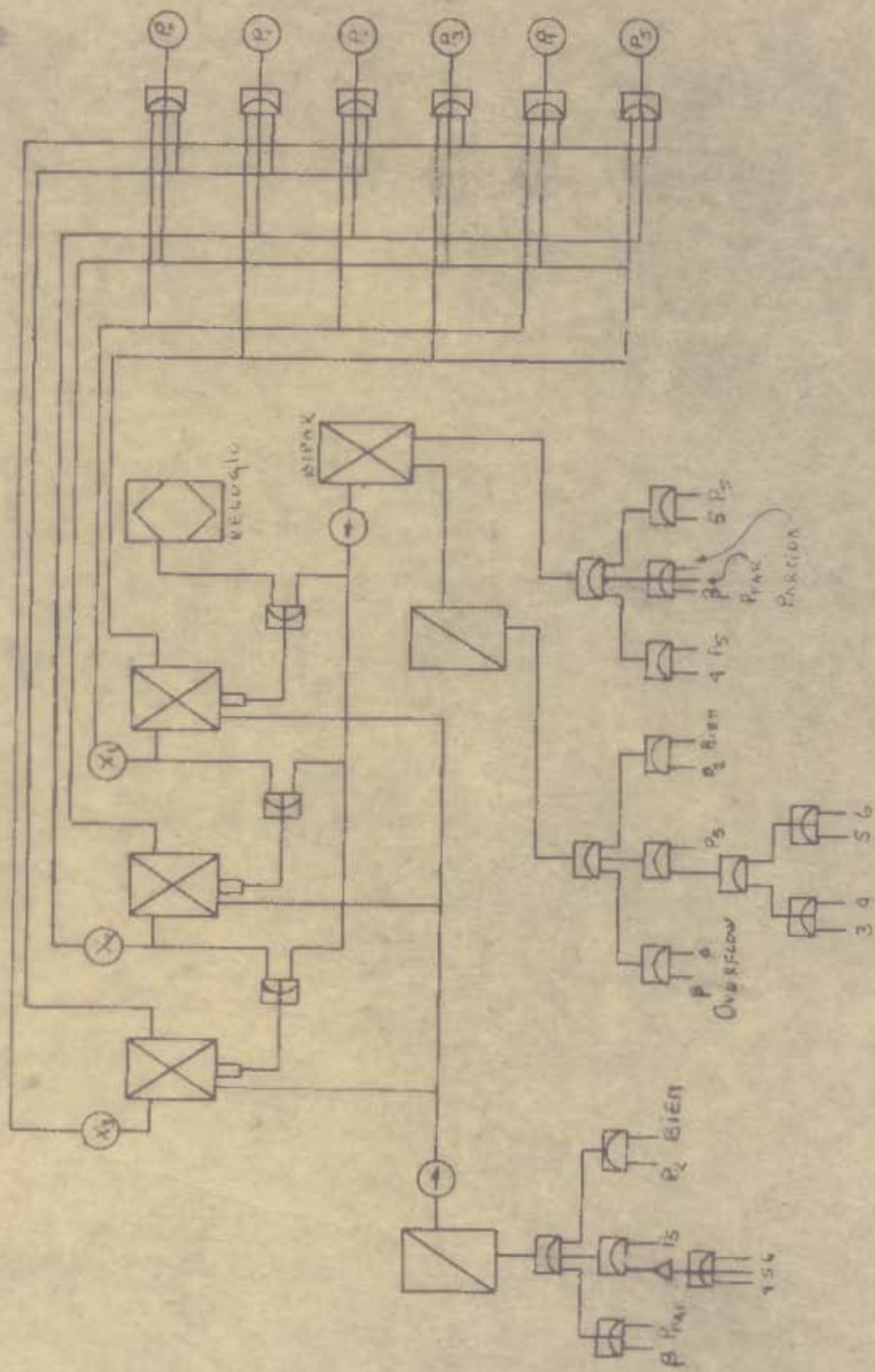
H - O RESULTADO (PARCIAL OU FINAL) FICA INSCRITO NO PAINEL DE LÂMPADAS ANEXO AO RS. APÓS A LEITURA DO RESULTADO O RS É RESETADO. SÓ ENTÃO O PROCESSAMENTO CONTINUA. (NO CASO DO RESULTADO SER PARCIAL).

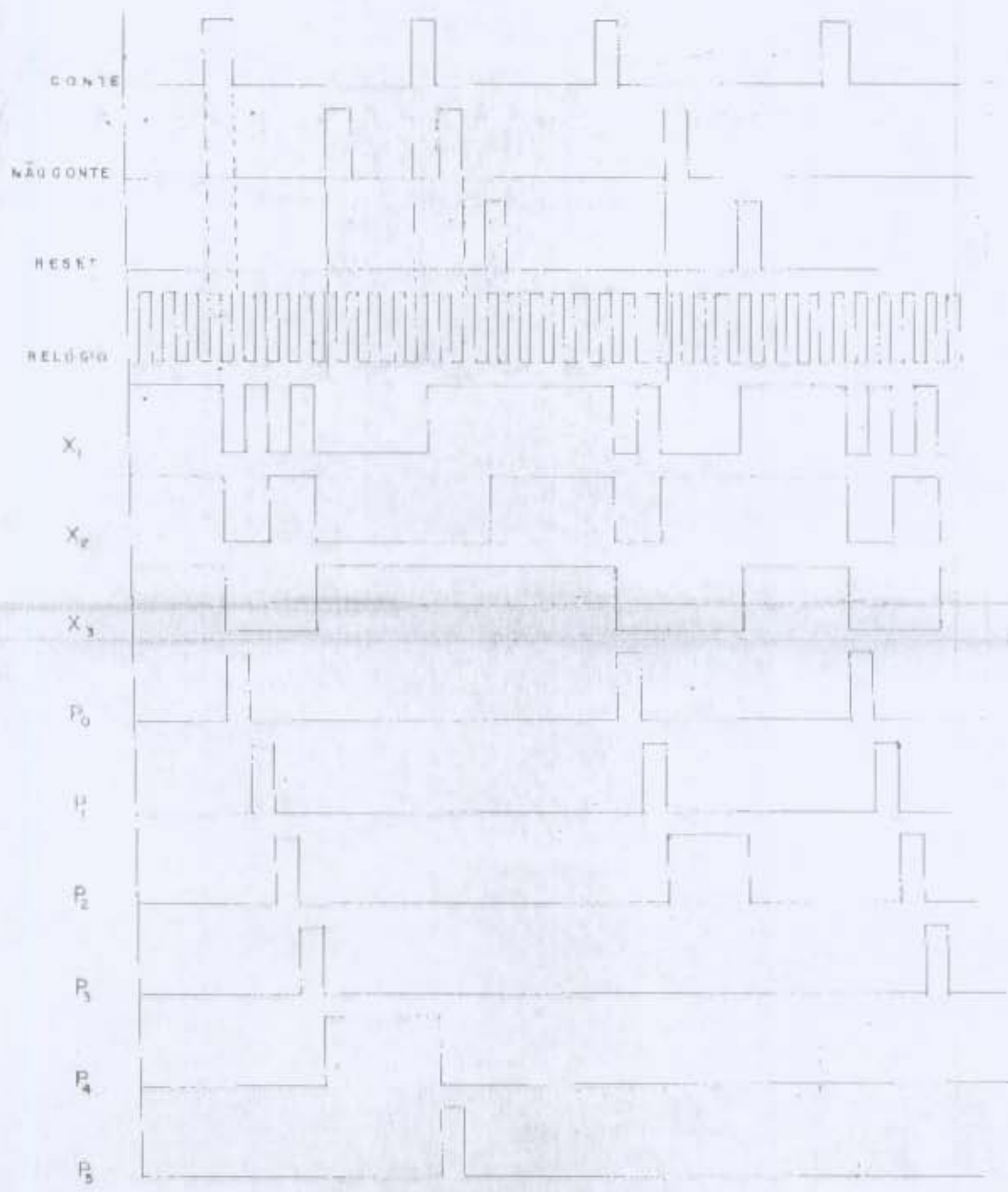
CAPÍTULO V

DETALHAMENTO DOS BLOCOS CONSTRUIDOS EM 1962

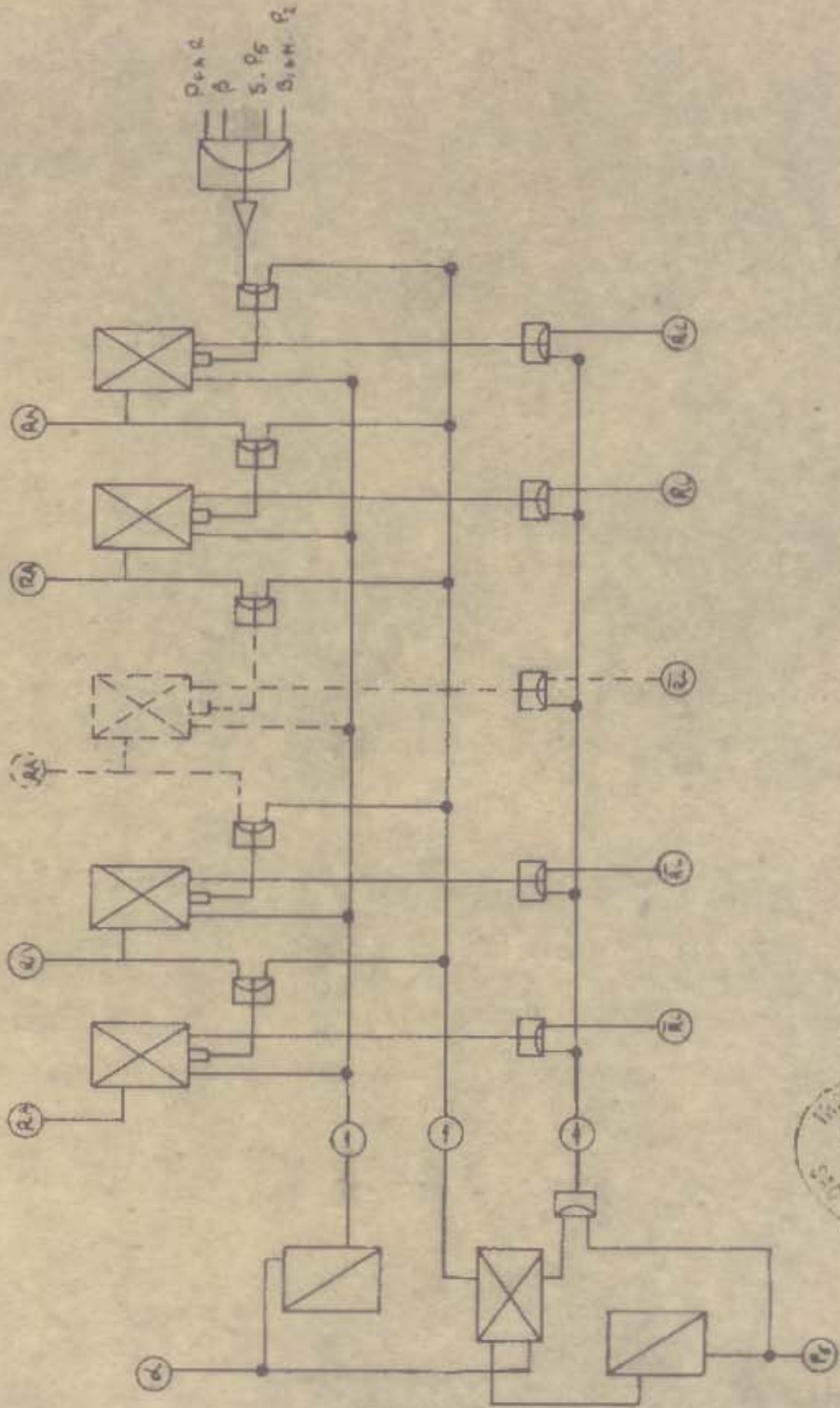
- a) DISTRIBUIDOR DE PULSOS
- b) CONTADOR DE COMANDO
- c) REGISTRADOR DE COMANDO
- e) MATRIZ DECODIFICADORA
- f) UNIDADES PAISES



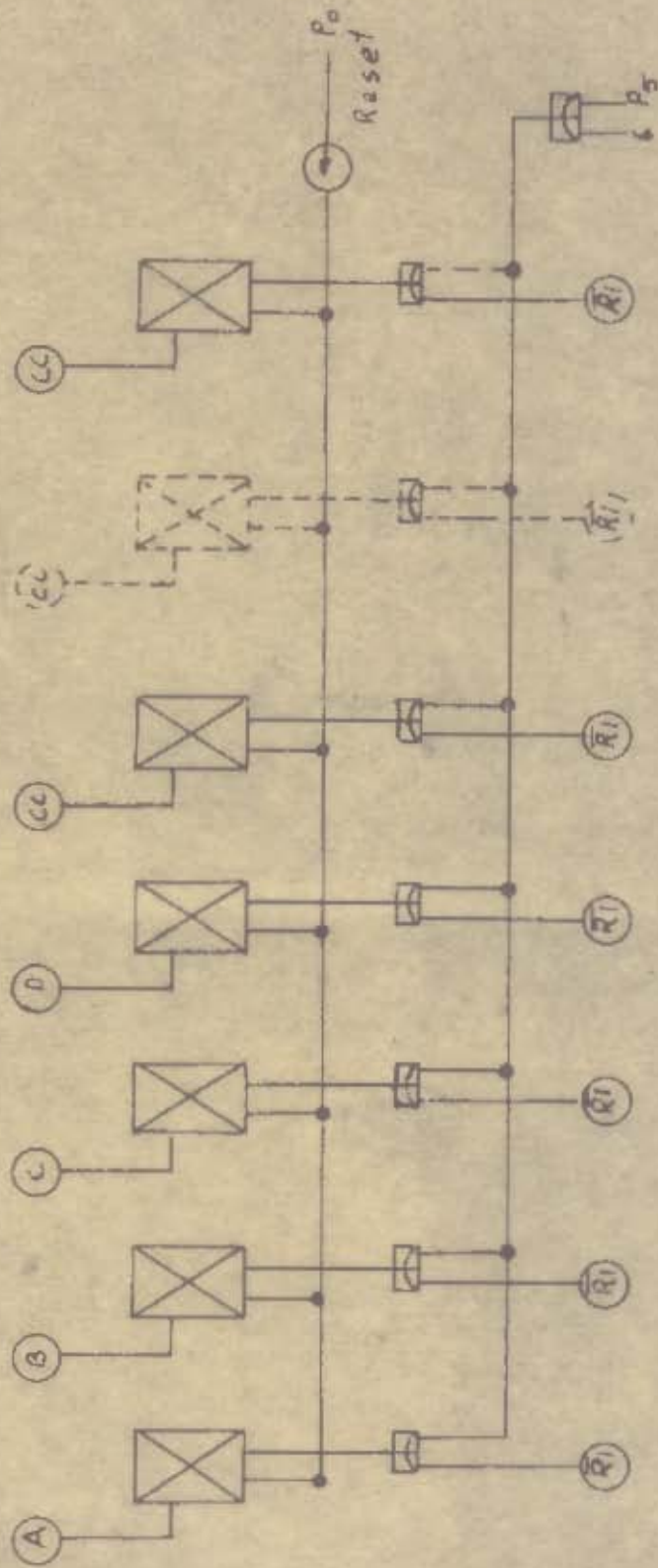




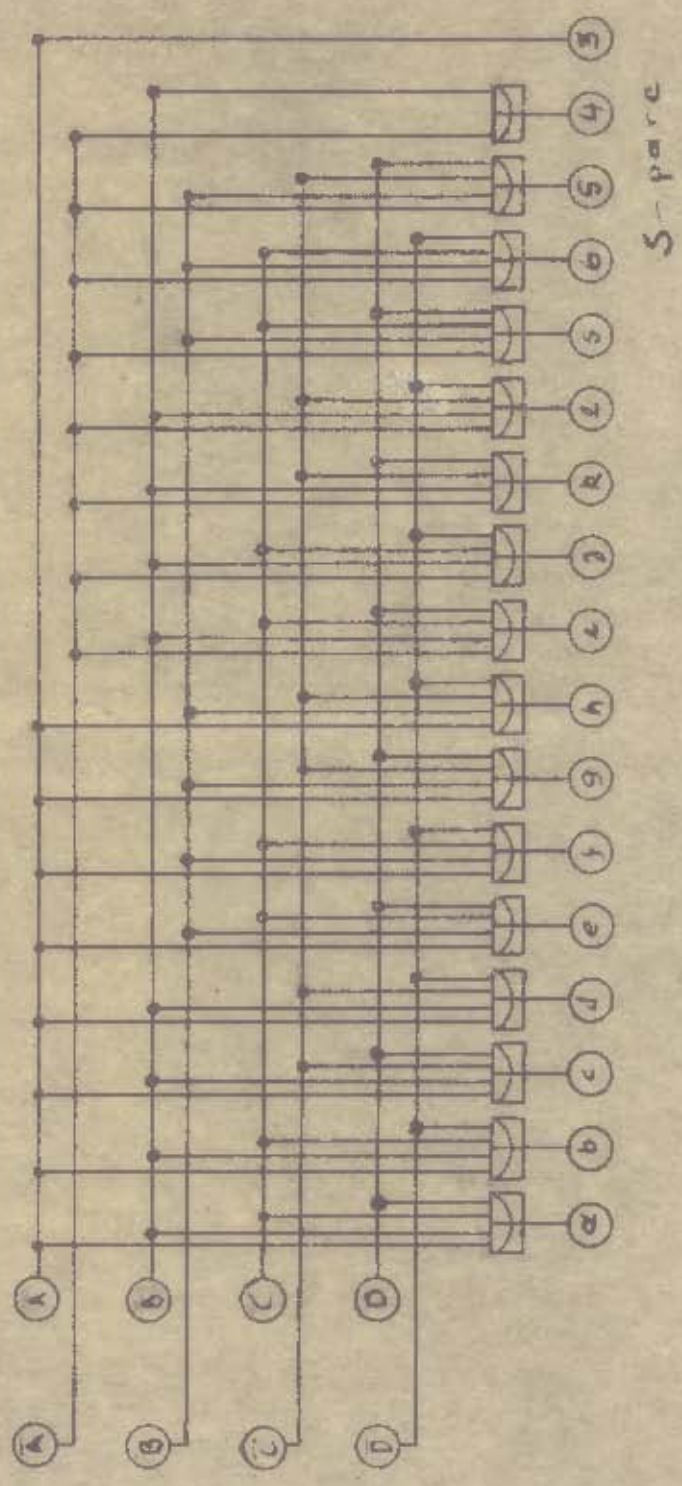




Inst. Tec. de Aeronautica  
BIBLIOTECA  
SÃO JOSÉ DO CAMPO







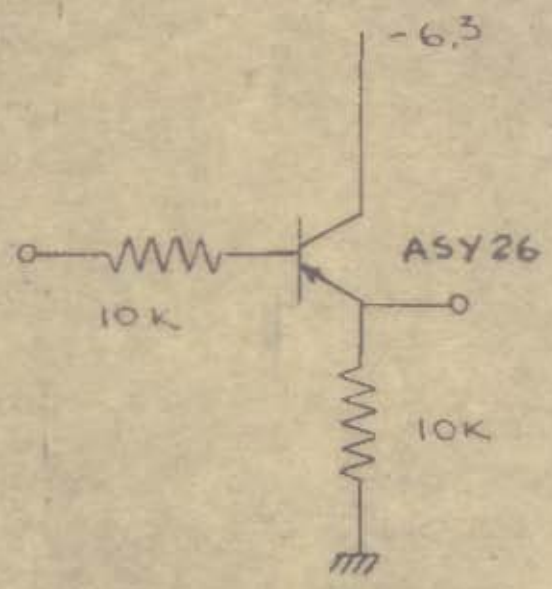


Fig. 1 - SEGUIDOR DE EMISOR



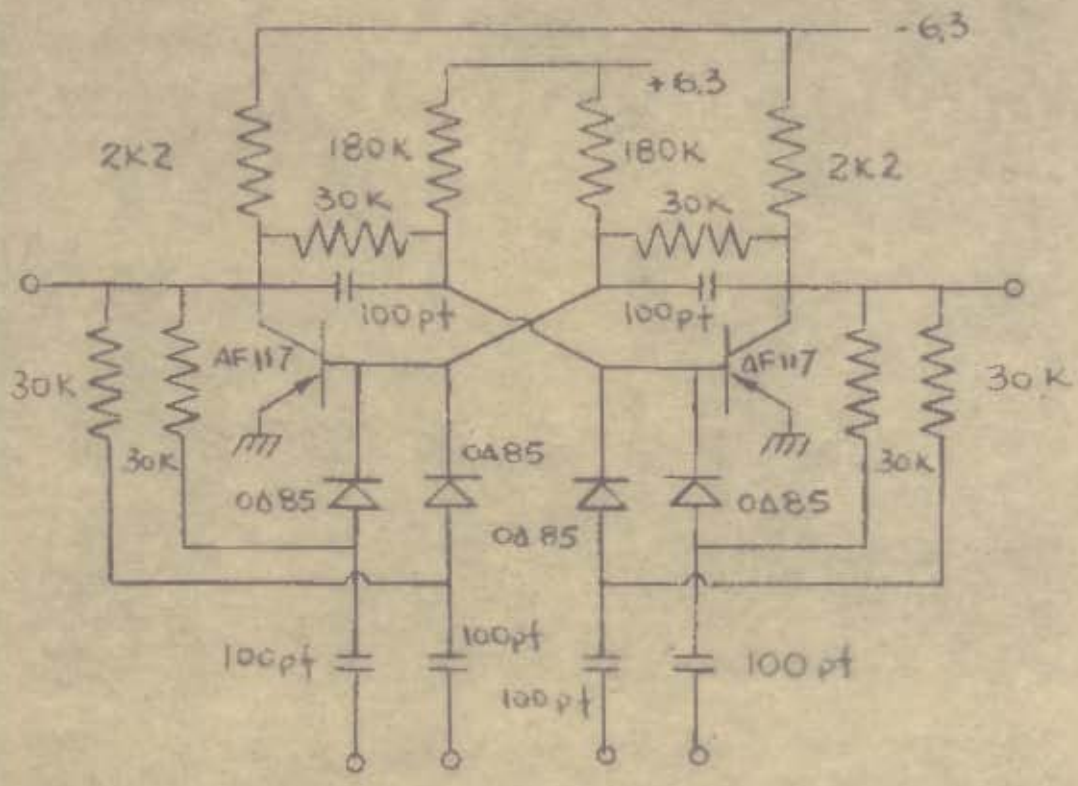
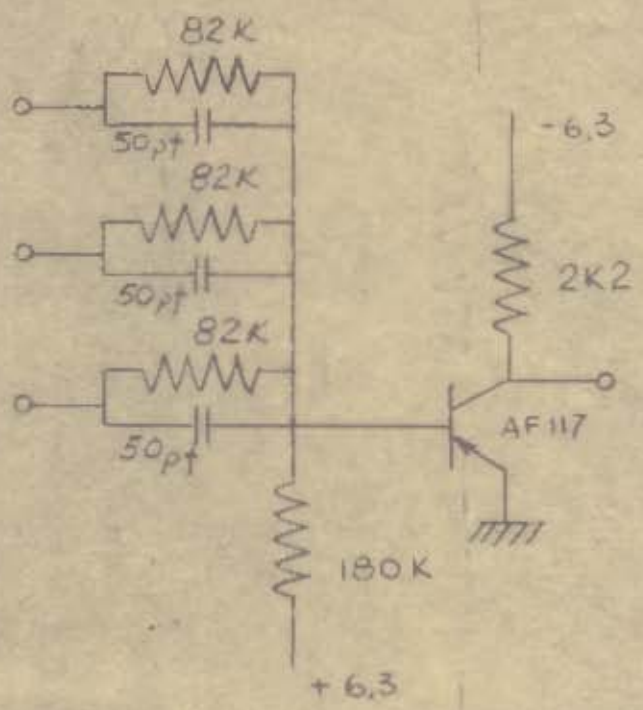
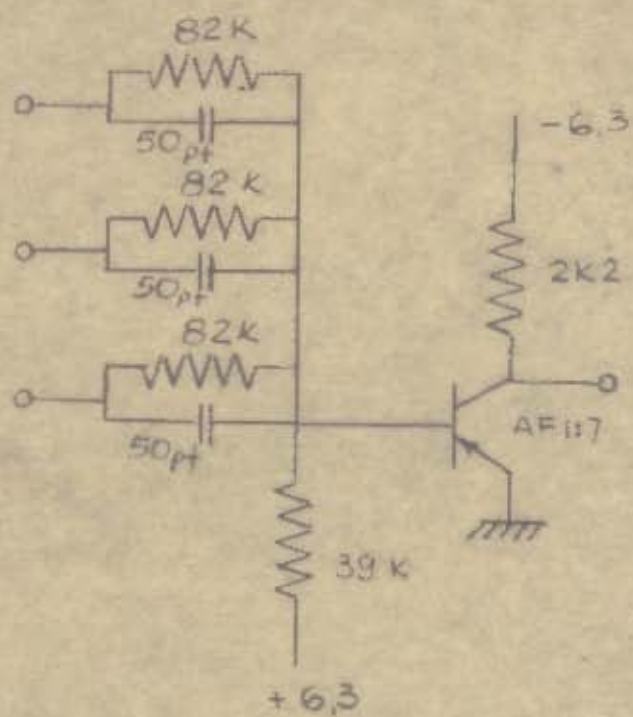


FIG. 2 - MULTIPLIER CIRCUIT



4.5 - CIRCUITO PORTA NAND



1.4 - CIRCUITO FASETA NOE

### CAPÍTULO VI

#### DESCRIÇÃO DO FUNCIONAMENTO DOS BLOCOS CONSTRUIDOS EM 1962

(Ver detalhes do circuito no capítulo anterior)

##### a) DISTRIBUIDOR DE PULSOS

O distribuidor de pulsos é o bloco que tem por finalidade manter o ritmo de funcionamento do computador. Fornecendo para isto seis pulsos sucessivos que chamaremos de  $P_0, P_1, P_2, \dots, P_5$  de tal forma que quando for acionado o multivibrador chamado BIPAR, estes pulsos de 7 microsegundos de largura cada um, sairão sucessiva e respectivamente pelas 6 saídas do bloco. Entretanto, a qualquer instante, uma ordem externa poderá mudar novamente o estado do BIPAR e então o pulso que estava saindo neste instante permanecerá no estado 1 até que nova ordem chegue ao bloco. Esta nova ordem poderá ser a de um novo acionamento do BIPAR e então os pulsos a partir daquele em que o distribuidor de pulsos estava parado, continuarão a sair com 7 microsegundos de largura ou então a ordem poderá ser a de RESET e então o distribuidor de pulsos será limpo e pronto para que, quando acionado o BIPAR, os pulsos comecem a partir de  $P_0$ .

O distribuidor de pulsos consta de um multivibrador oscilante chamado de RELÓGIO, que trabalha na frequência de 140 Kc/s e que está sempre fornecendo uma onda quadrada de período de 7 microsegundos desde que o computador esteja ligado.

Os pulsos do RELÓGIO entram num circuito NOR que tem a outra entrada ligada à saída do multivibrador bi-estável de gatilho assimétrico chamado de BIPAR. Se a saída do BIPAR estiver no estado 1 não haverá saída no NOR, o qual se manterá constantemente no estado 0. Se por outro lado o BIPAR tiver sua saída no estado 0, quando o RELÓGIO estiver em 1, a saída do NOR estará em 0, e quando o



RELÓGIO em 0, a saída do NOR em 1 conforme a tabela abaixo.

BIP .....	0	NOR
REL .....	0	1
BIP .....	0	
REL .....	1	0
BIP .....	1	
REL .....	0	0
BIP .....	1	
REL .....	1	0

A saída do NOR entra num contador até 7 que conata de 3 multivibradores bi-estáveis de gatilho simétrico, cujos estágios estão acoplados entre si também por circuitos NOR em que a segunda entrada está ligada igualmente ao BIPAR.

Além do gatilho simétrico, cada um destes 3 multivibradores componentes do contador até 7 contém uma outra entrada assimétrica, em só uma das bases, de modo a levar os 3 multivibradores ao mesmo estado, resetando o contador.

As saídas dos 3 multivibradores estão acopladas a seis circuitos tipo NOR combinados diferentemente de modo que em 6 das 8 possibilidades que o contador oferece, haverá uma saída em cada um dos circuitos NOR, ou seja uma saída ficará no estado 1 e as demais em 0, até nova mudança do contador, isto é, 7 microssegundos.

Temos a seguir a sequência dos pulsos que pode ocorrer no distribuidor de pulsos conforme as ordens CONTE, NÃO CONTE, LIMPE.

b) CONTADOR DE COMANDO

O contador de comando é o bloco do computador que tem por finalidade dar a sequência de endereços da memória que devem ser percorridos para que o programa pré-estabele-



cido seja seguido, mantendo assim a continuidade da operação. É ele também o bloco que seleciona, durante o carregamento, o endereço onde se deve colocar a instrução ou dado introduzido no registrador de entrada.

O contador de comando possui, controlando suas funções, um multivibrador bi-estável de gatilho assimétrico, que chamaremos de BICONT. Quando este BICONT estiver num de seus estados, que chamaremos de CONTE, o contador de comando funciona como um simples contador binário de 12 bits, quantidade suficiente para a memória a ser usada. Quando o BICONT passa para seu outro estado, que chamaremos de REGISTRE, instantaneamente o contador de comando é resetado e, logo a seguir a informação contida nos 12 últimos bits do registrador de comando entra paralelamente no contador de comando. Quando o BICONT passar novamente para o estado CONTE, inicia-se novamente a contagem a partir do número que lá registrado estava.

O contador de comando consta de 12 multivibradores bi-estáveis de gatilho simétrico, sendo que a saída de um estágio de um estágio está acoplada a entrada do seguinte, assim como a entrada do primeiro estágio ao circuito externo, por meio de circuitos NOR. A outra entrada dos NOR está ligada a uma das saídas do BICONT. Quando esta saída estiver em ZERO os pulsos que entram no contador de comando poderão passar de um estágio para o outro (conforme explicado no distribuidor de pulsos) e portanto teremos um contador até 4095. Estamos na posição CONTE.

Quando ao BICONT for aplicado um pulso que muda seu estado para UM, um pulso é também aplicado a uma entrada assimétrica em todos os bi-estáveis do contador resetando-os. A seguir um outro pulso entrando em 12 circuitos NOR cuja outra entrada é saída do registrador de comando,



permite a informação entrar no contador de comando por meio de outra entrada assimétrica existente nos 12 multivibradores.

c) REGISTRADOR DE COMANDO

O registrador de comando é o bloco onde toda informação não numérica chega, vinda do registrador intermediário (a informação numérica vai para a unidade aritmética ou memória, ou ainda saída) e dirige-se, parte para a matriz decodificadora e, parte para o contador de comando (ordem de REGISTRE) ou para o registrador de acesso à memória conforme a instrução seja aritmética ou de controle.

Consta o registrador de comando de 16 multivibradores bi-estáveis de gatilho assimétrico. Os 12 primeiros bits deste bloco estão concentrados por meio de circuitos NOR à saída dos 12 primeiros bits (à partir da direita) do registrador intermediário. Os 4 últimos bits do registrador de comando estão também ligados por meio de NORs dos 4 últimos bits do registrador intermediário. A outra entrada destes circuitos está conectada a um pulso externo que dará ou não passagem da informação do registrador intermediário ao registrador de comando.

Além disto, os 16 multivibradores possuem uma outra entrada assimétrica de modo a poderem ser ressetados simultaneamente.

d) MATRIZ DECODIFICADORA

Como vimos no capítulo IV, temos 14 instruções diferentes no computador.

- 8 instruções aritméticas
- 4 instruções de controle
- 1 instrução de armazenar
- 1 instrução de saída

Para codificarmos estas 14 instruções necessitamos de 4 bits. Exatamente para isto servem os 4 últimos dos 16 bits do

registrador de comando.

As saídas destes 4 últimos multivibradores vão acopladas diretamente a entrada de 14 circuitos NOR de 4 entradas cada, de modo a 14 das 16 combinações fornecerem saídas que comandarão as instruções correspondentes.

Como, no caso de instrução aritmética ou de controle, temos de ter pulsos correspondentes à cada instrução e também o grupo à que ela pertence, por exemplo instrução aritmética (3) somar (b), constituímos as entradas da matriz codificadora do seguinte modo:

1111	a
1110	b
1101	c
1100	d
1011	e
1010	f
1001	g
1000	h
último bit 1 instrução aritmética 3	
0111	i
0110	j
0101	k
0100	l
últimos dois bits respectivamente 0 e 1	
instrução controle 4	
0011	instrução armazenar
0010	instrução saída

Deste modo, a matriz codificadora, além de fornecer as 14 saídas (NOR de 4 entradas) já citadas, possui também uma saída 3 sempre que último bit for unitário e uma saída 4 sempre que o último bit for nulo e o penúltimo unitário.

A possibilidade restante 0001, sendo código desconhecido ao computador simplesmente o para.



CAP. VII. ARMAZENAMENTO

I. INTRODUÇÃO

O armazenamento é feito numa memória de núcleos magnéticos com capacidade de 4096 palavras de 32 bits, ou seja, 32 planos de 64 x 64 núcleos cada um. A operação da memória é feita por técnica de correntes coincidentes, sendo o acesso aos endereços obtido por um sistema que usa núcleos magnéticos de duas matrizes de chaveamento, 8 x 8 cada.

Cada matriz de chaveamento requer 10 "bias drivers" dispostos em dois grupos de 5 que vão selecionar um único núcleo desta matriz. Cada grupo de "bias-drivers" é acionado por um codificador de acordo com a informação contida no registrador de acesso; são ainda necessários "drivers" de inscrição e leitura; é importante notar que uma inscrição na memória, neste sistema, é sempre feita no endereço que acabou de ser lido.

II. DESCRIÇÃO DO SISTEMA

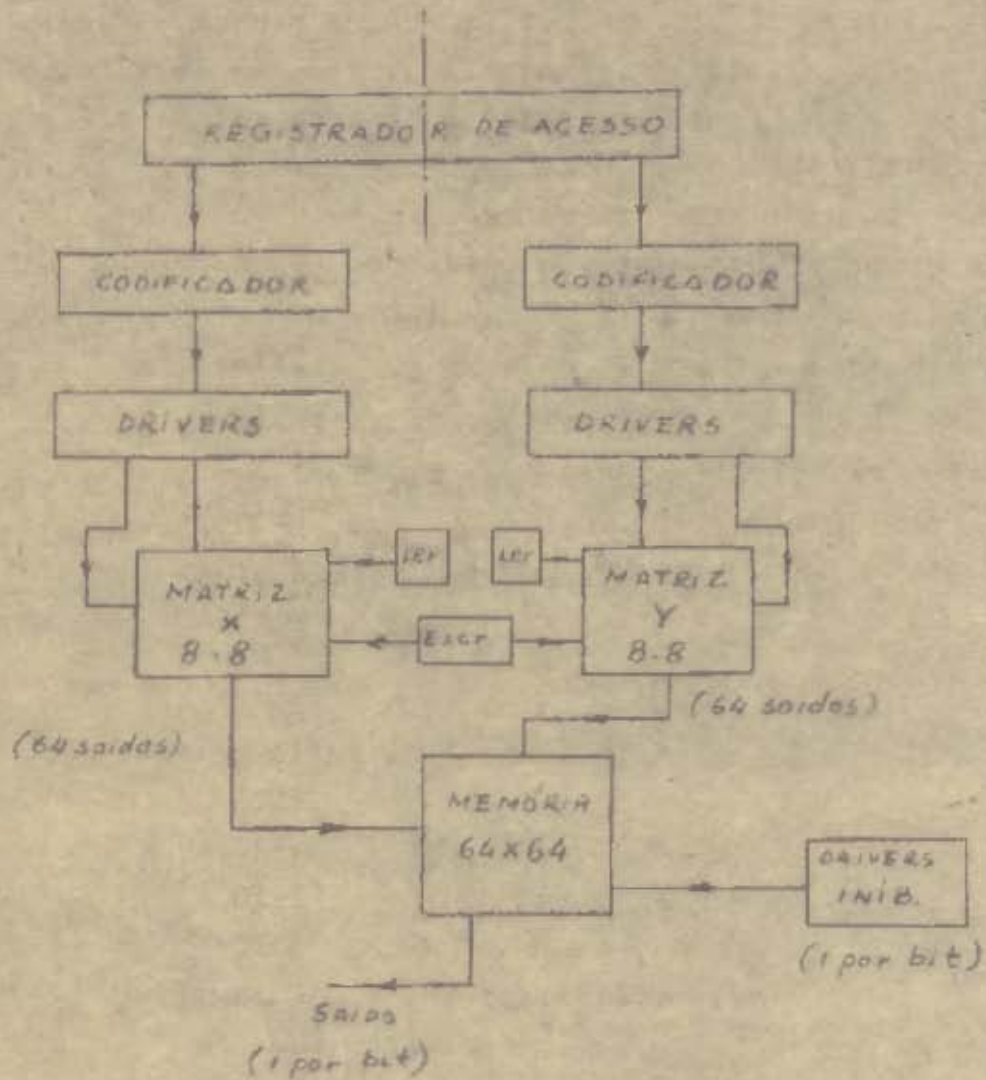


DIAGRAMA LÓGICO SIMPLIFICADO



III. REGISTRADOR DE ACESSO

No registrador de acesso, coloca-se o endereço da memória selecionado para a operação de leitura ou de inscrição. Trata-se de um conjunto de 12 biestáveis, que seleciona um entre 4096 endereços, numerados de 0 a 4095, utilizando-se o sistema de numeração binária. Estes biestáveis são idênticos aos usados no "Contador de Comando".

IV. CODIFICADORES

O registrador de acesso é dividido em 4 grupos de 3 multivibradores, alimentando cada grupo um codificador. Os 4 codificadores não são idênticos, bastando então, descrever 1 deles. Cada codificador alimentará 5 "drivers" fornecendo 8 saídas independentes num código denominado "3 de 5", isto é: a cada entrada haverá sinal em 3 dos 5 fios, "bias drivers", que acionam os "drivers".

PROJETO DO CODIFICADOR

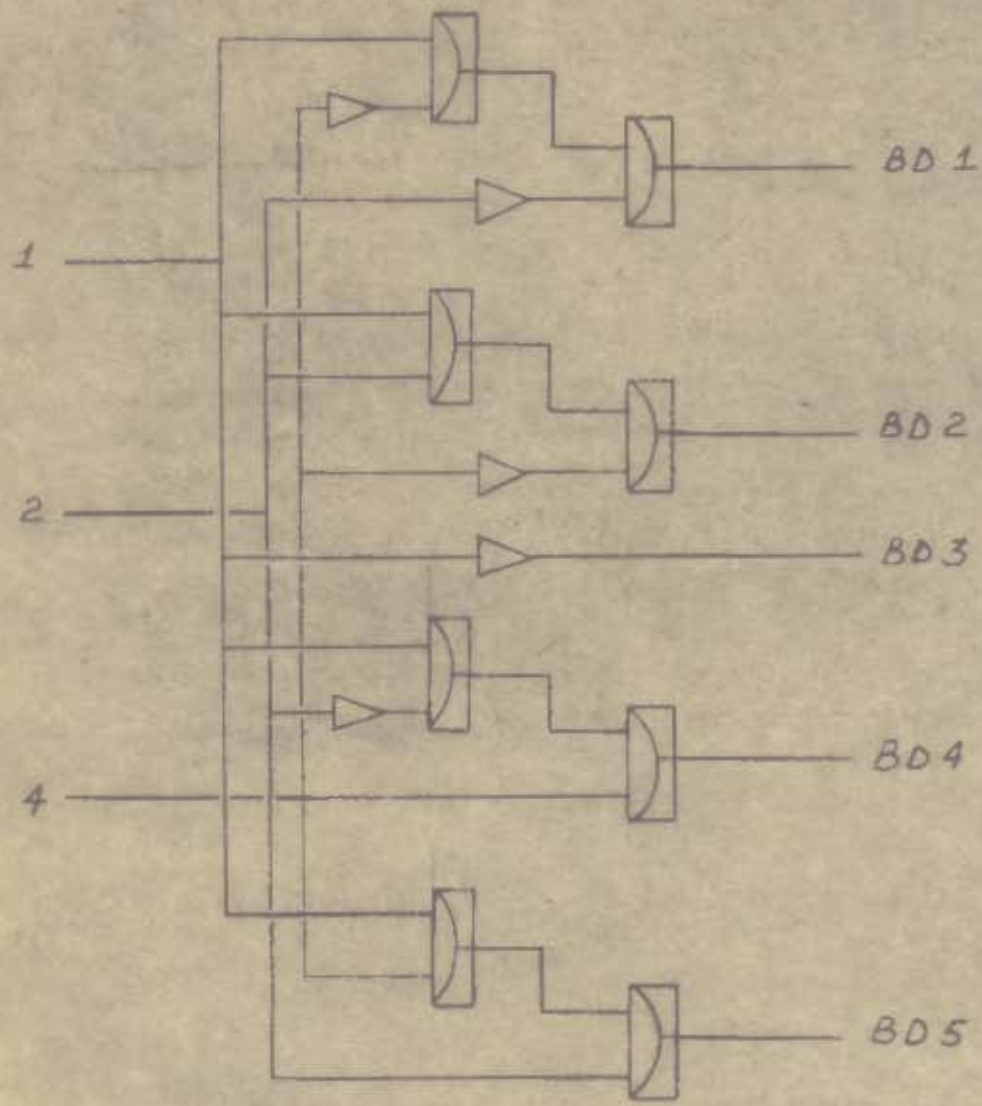
Sinal em 3 saídas significa o mesmo que ausência de sinal nas outras 2.

Por um processo de tentativas, com auxílio do diagrama de Veitch, obtém-se o codificador mais econômico.

	1	$\bar{1}$		
2	55	34	54	25
$\bar{2}$	32	31	14	21
	$\bar{4}$	4	$\bar{4}$	

Cada par de números mostra os "Bias-Drivers" sem sinal  
BD - Bias-DRIVER

CIRCUITO LÓGICO



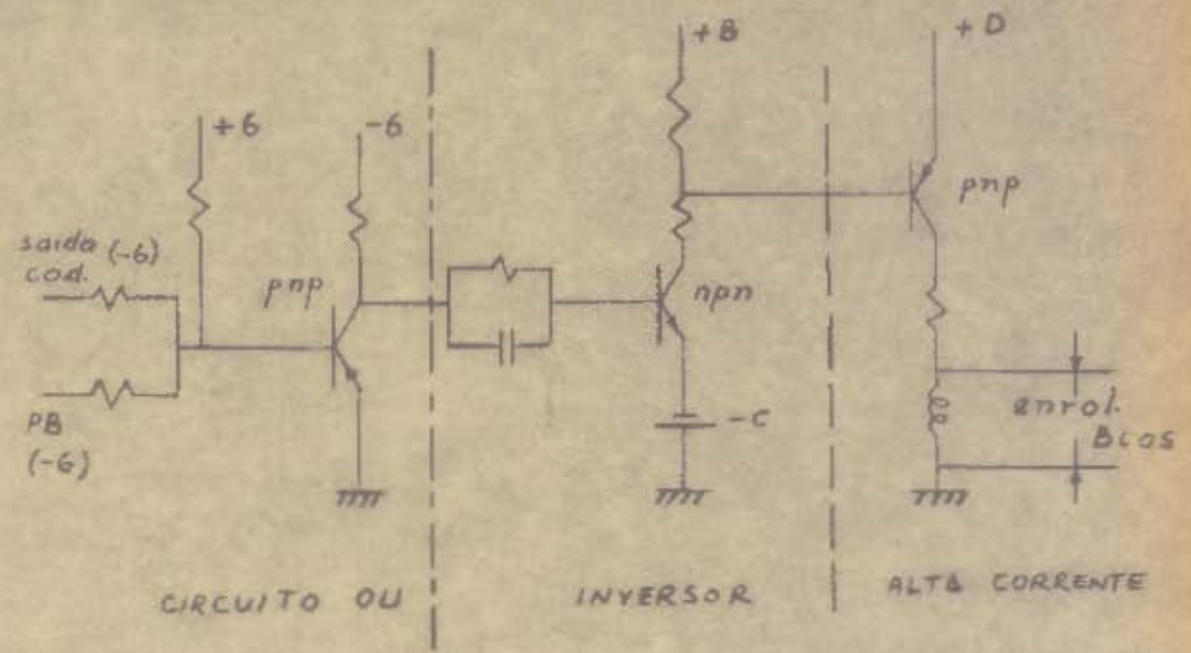


V. "BIAS-DRIVERS"

Cada bias-driver é excitado por uma das saídas do codificador e por um pulso mais estreito, porém de mesma amplitude e polaridade, que chamaremos "sinal PB".

Ao ser excitado, o driver deve fornecer um pulso de corrente da ordem de 400 miliampères, e só deve fornecer essa corrente durante o tempo em que está excitado.

O sinal do codificador passa num circuito OR, com o sinal PB, sendo que a saída excita um transistor npn que vai acionar o transistor de saída, conforme o circuito abaixo



$C < 6$   
 $D < B$   
 $D \approx 12V$   
 (ver ref.)

## VI. FUNCIONAMENTO DA MATRIZ DE CHAVEAMENTO

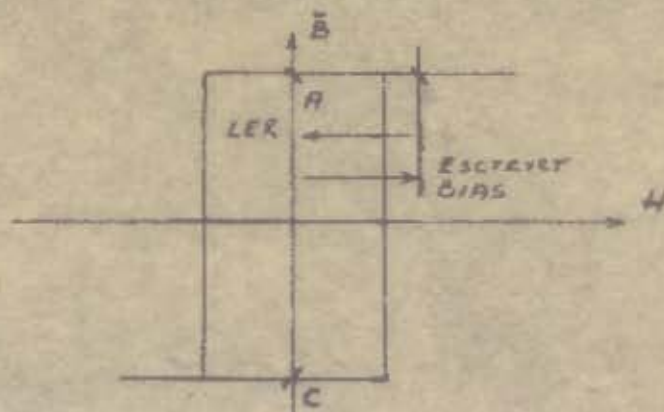
Para cada número binário anotado no registrador de acesso, deve ser seleccionado um e somente um endereço na memória; a definição de um endereço, na técnica de correntes coincidentes, implica na escolha de 1 entre 64 "x" e um entre 64 "y", cuja intersecção define o endereço procurado. Podemos então dividir o conteúdo do registrador de acesso em duas metades, 6 bits cada, e usar os primeiros 6 bits para seleccionar x e os últimos para y.

Então vamos nos concentrar apenas numa matriz já que o funcionamento da outra é idêntico. Seja a matriz x.

Trata-se de uma matriz 8 x 8, ou seja, apresentando 64 núcleos magnéticos; a operação do sistema baseia-se em fazer corresponder a cada número de 6 bits, um e somente um núcleo magnético da matriz, que por sua vez está associado a um e somente um fio x da memória. Vejamos como tal correspondência é realizada.

A codificação "3 de 5" é de tal forma que para uma classe de 3 bits do R.A. corresponde uma e somente uma combinação de 3 drivers funcionando, isto é, fornecendo corrente, e dois desligados. A saída dos drivers é levada à matriz de chaveamento num enrolamento tal que para a situação de 6 drivers ON e 4 drivers OFF apenas um núcleo da matriz de chaveamento acha-se na situação "UNBIASED", conforme mostra a figura abaixo:

Ciclo de histerese de um núcleo da matriz de chaveamento





Se agora aplicamos à matriz de chaveamento toda, um pulso de corrente no sentido indicado acima ler, apenas o núcleo "UNBIASED" muda de estado, dando uma variação de fluxo que é recolhida por efeito de transformador, dando um pulso de corrente, "half-select" em determinado fio "x" da memória; vemos que SOMENTE UM núcleo ficou no ponto A, e portanto, somente esse núcleo muda de estado, e como a cada núcleo está associado um e somente um fio x, somente esse fio x está selecionado.

Um análogo procedimento para a matriz y, seleciona um fio y de modo que apenas um endereço na memória, ou seja, a intersecção desses fios x e y está selecionado.

Após a leitura, o núcleo selecionado se mantém no ponto e; se passamos então por toda a matriz um pulso de corrente no sentido escrever, ele volta ao estado superior, fornecendo uma variação de fluxo de sentido contrário à que havia fornecido na leitura, variação essa que é recolhida pelo mesmo transformador de leitura, dando um pulso de corrente na memória em sentido contrário ao da leitura, permitindo assim que se escreva no mesmo endereço que acabou de ser lido.

#### Enrolamento BIAS

A codificação "3 de 5" forneceu a seguinte tabela:

Octal	421	DRIVERS		
		ON	OFF	
0	000	3,4,5	1,2	Os números da coluna DRIVERS, indicam os mesmos, numerados de 1 a 5.
1	001	1,4,5	2,3	
2	010	1,3,4	2,5	
3	011	1,2,4	3,5	
4	100	2,3,5	1,4	
5	101	2,4,5	1,3	
6	110	1,2,3	4,5	
7	111	1,2,5	3,4	

de acordo com a coluna "drivers-off" projetamos o enrolamento

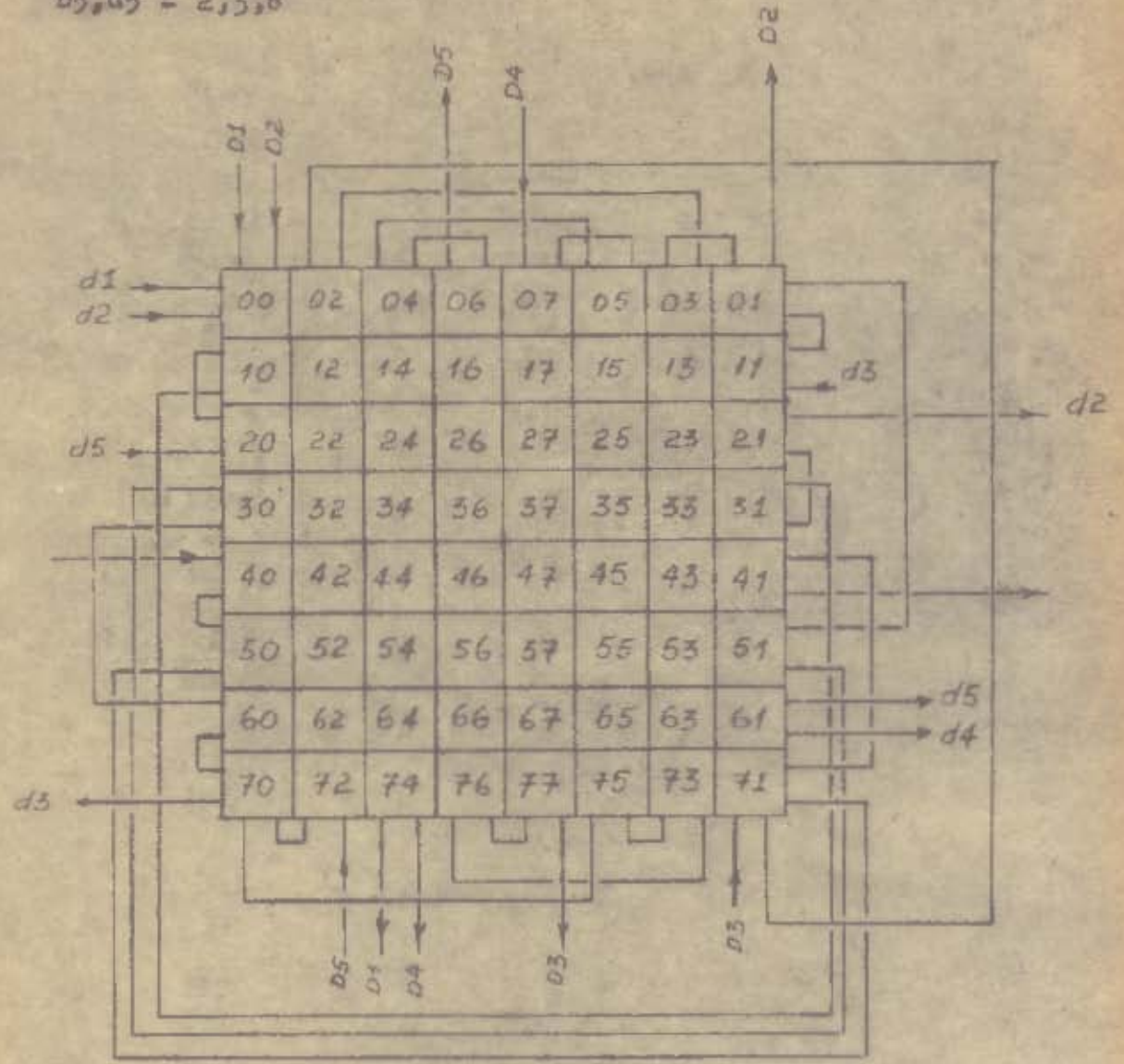
D1,d1 - 0,4,5

D2,d2 - 0,1,2

D3,d3 - 1,3,5,7

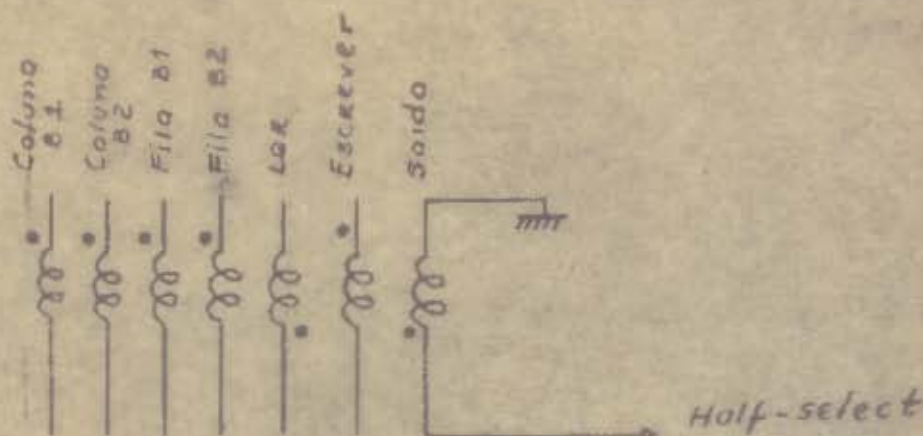
D4,d4 - 4,6,7

D5,d5 - 2,3,6





Além dos enrolamentos "bias", ainda existem os enrolamentos; Ler e escrever que servem a todos os núcleos, e os enrolamentos de saída, um para cada núcleo. De maneira a ilustrar o enrolamento de um núcleo da matriz, vejamos o desenho abaixo



Podemos agora exemplificar o funcionamento do sistema; digamos que no registrador de acesso, os seis primeiros números fossem 011 101, os três primeiros algarismos, façamos corresponder ao enrolamento horizontal e que implica na tabela da codificação "3 de 5", drivers 1,2,4 ligados. Se acompanharmos o enrolamento bias vemos que nessa situação apenas a fila 3 deixa de receber corrente. Analogamente para os outros três algarismos 101, correspondendo ao enrolamento vertical, funcionarão os drivers 2,4,5, o que deixa apenas a coluna 5 sem receber corrente.

A intersecção da fila 3 com a coluna 5 mostra que somente o núcleo 35 não recebe corrente nenhuma, donde somente ele se encontra no ponto A da curva de histerese.

É evidente então que uma corrente de Ler aplicada em sentido contrário à de Bias levará o núcleo 35 e somente o núcleo 35, ao outro estado, variação essa de fluxo recolhida no enrolamento de saída, dando um pulso "half-select" no

fio x nº 35 da memória (estando os fios x numerados de 00 a 77, em base octal)

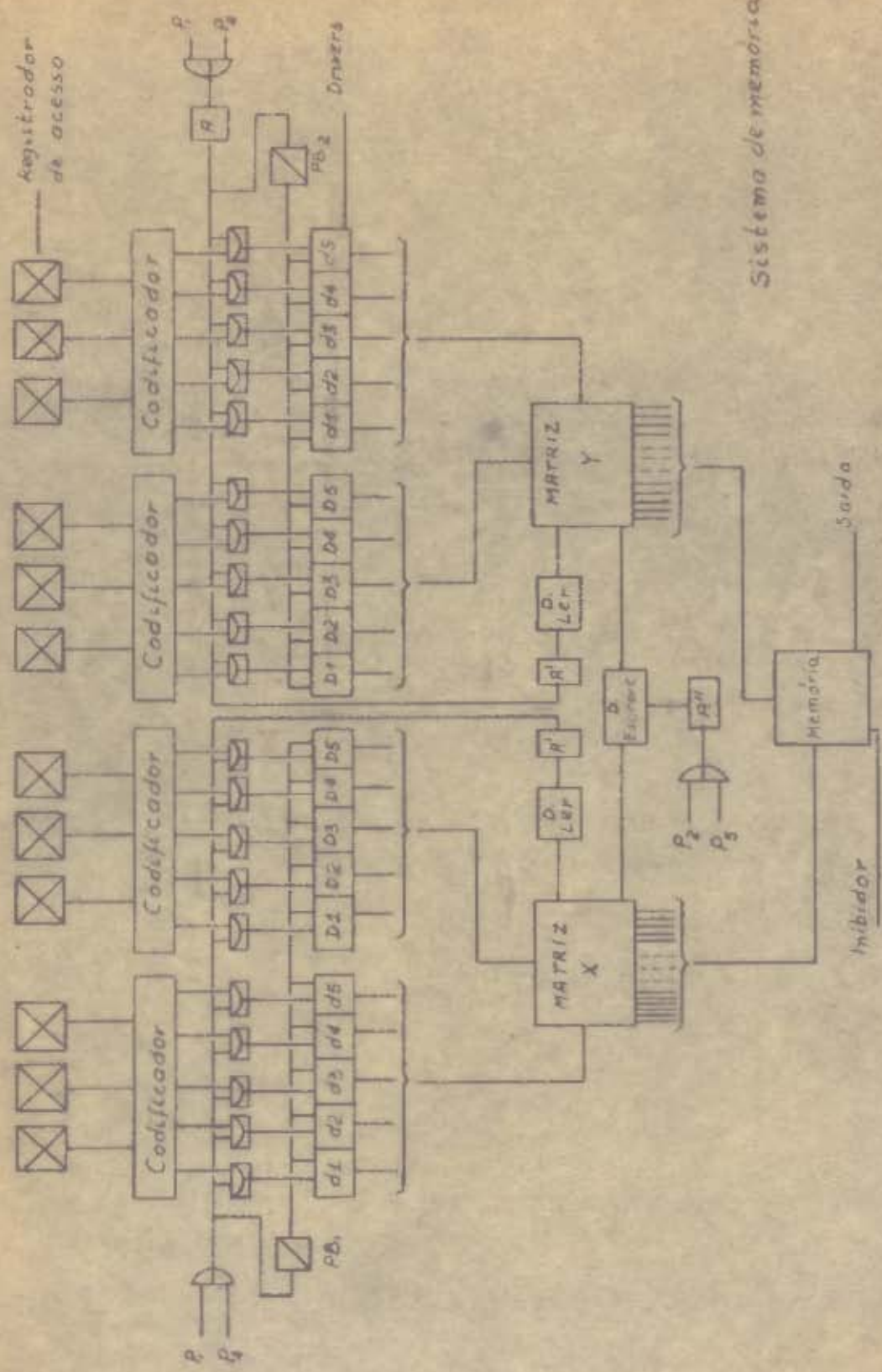
Um procedimento análogo com os outros 6 algarismos do R.A., seleccionaria outro núcleo na matriz  $\gamma$ , que daria um "half-select" no fio y correspondente e definindo o endereço procurado.

### VII. SINCRONIZAÇÃO

As operações de seleção são sempre feitas nos pulsos  $P_1$  e  $P_4$ ; então com o aparecimento desses pulsos deve conduzir a saída dos codificadores aos drivers e ao mesmo tempo ligar o sinal PB cuja função será explicada adiante. Um pouco atrasado ligam-se os drivers de leitura e em pulsos subsequentes liga-se o driver de inscrição. Pode-se mencionar agora que a seleção do Y é atrasada de aproximadamente 1 micro-segundo em relação à seleção do X, atraso esse que visa diminuir o ruído sobre o qual a saída é detetada.

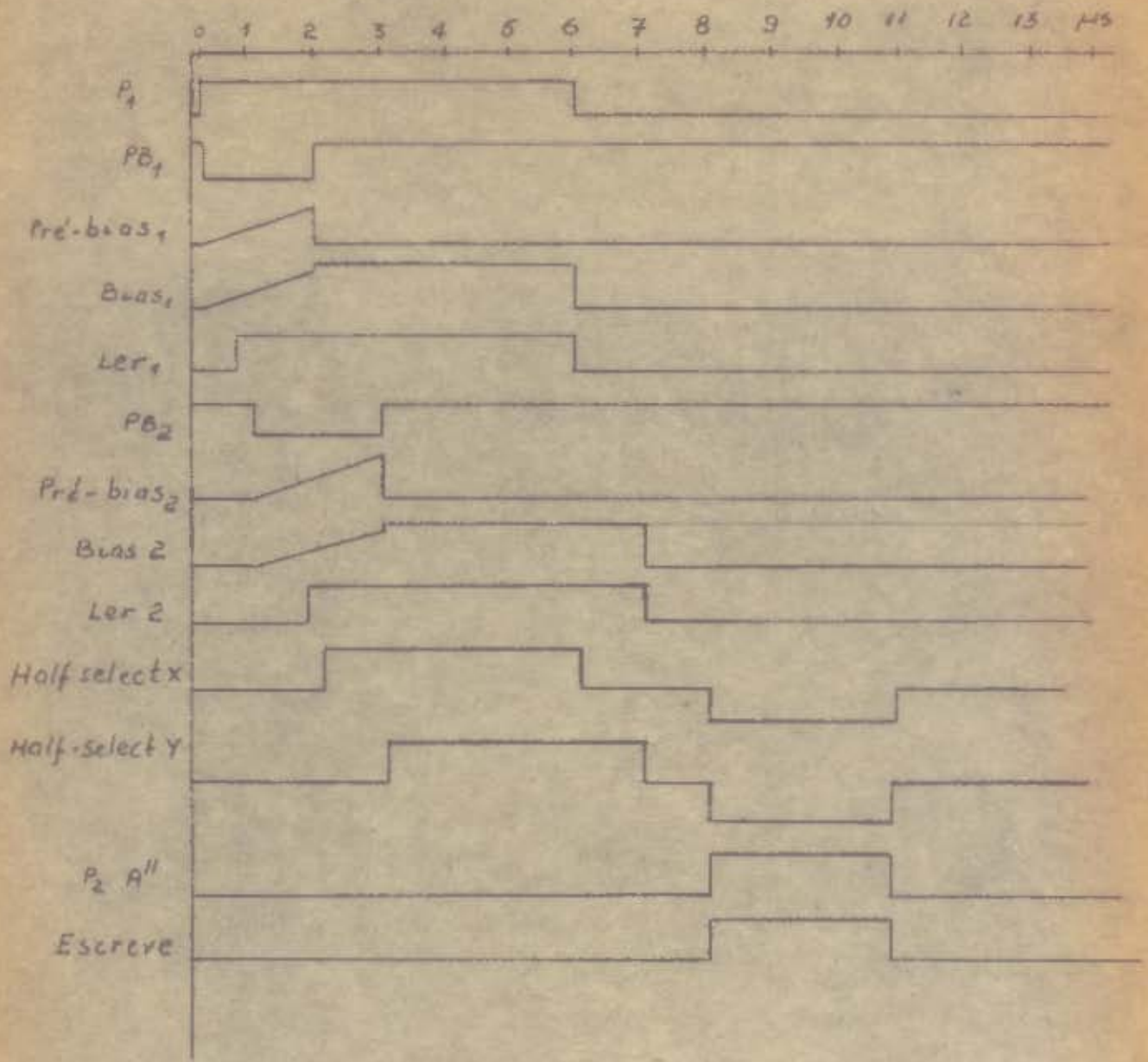
Podemos então construir o diagrama de bloco do sistema de memórias:





Sistema de memoria

FORMAS DE ONDA





Ao aparecer o pulso  $P_1$ , aciona-se o mono-estável que fornece o sinal  $PB_1$ ; este sinal entra juntamente com as saídas dos codificadores nos drivers, cuja entrada é um circuito OU conforme já vimos. O sinal  $PB_1$  é aplicado indistintamente a todos os 10 drivers  $x$ , ligando-os portanto. Devido à carga indutiva de cada driver, dada pelo enrolamento de bias, o tempo de subida é limitado, ainda mais que a tensão utilizada é baixa (-10 volts). Então, durante o pulso  $PB_1$ , período que é chamado de pré-bias, todos os drivers desenvolvem a forma de onda-Pré-bias<sub>1</sub>-indicada na figura.

Por cada núcleo passam 4 enrolamentos bias, de tal maneira que seus efeitos se somem; quando o sinal pré-bias atinge cerca de  $1/4$  do seu valor final, para cada núcleo temos o efeito de uma unidade de bias, o que o coloca no ponto B da curva de histerese. Vemos, assim, que durante o período "Pré-bias" ocorre um "reset" de núcleos que não tivessem sido completamente resetados no período de inscrição.

Nesse instante ligamos o driver de leitura que não vai mudar nenhum núcleo de estado, devido a polarização da da pelo pré-bias.

Quando a energia magnética posta em jogo for igual àquela que corresponderia a 6 drivers funcionando e 4 desligados, desligamos o sinal de Pré-bias. Agora restam funcionando apenas os drivers a que corresponde uma saída 1 de codificador; a energia dos drivers que se desligam transfere-se imediatamente aos que ficam ligados. A corrente de Bias atinge rapidamente o seu valor final, e o único núcleo que não recebe nenhuma unidade de "bias" muda de estado, fornecendo a saída half-select (Figura).

Experimentalmente, variando-se o instante em que é desligado o sinal PB e o instante em que é ligado o driver-leitor, chegamos a um ótimo de tempo de subida para o pulso half-select.

Analogamente procede-se para Y, sendo que o atraso dado a Y reduz o ruído na saída da memória.

O pulso  $P_2$  atrasado liga o driver de escrever, que funciona menos tempo que o de ler, dando um half-select de inscrição, de duração menor que o de leitura, o que tem a grande vantagem de já escrever perturbado, evitando o problema de utilização de pulsos de perturbação, fato que já havia sido meio contornado pelo atraso de Y em relação a X.



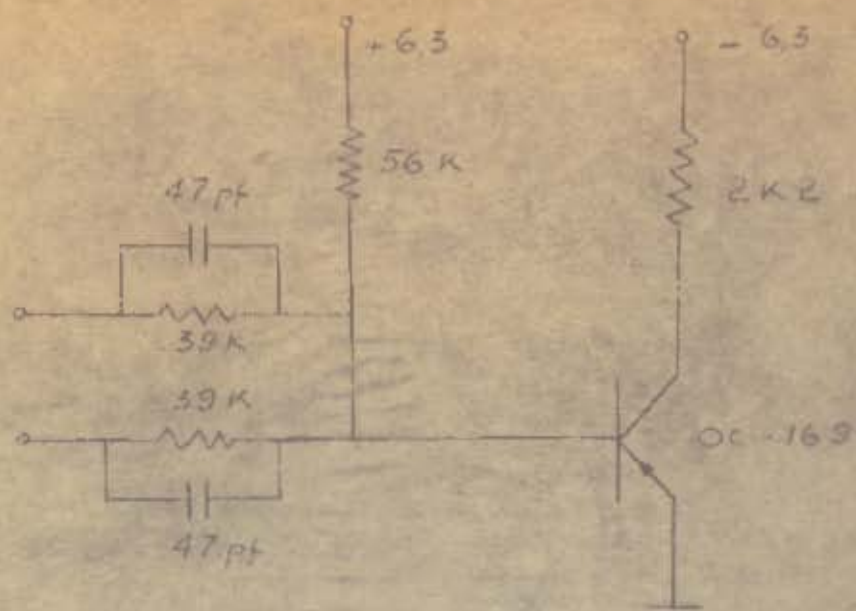
VIII. CIRCUITOS

DRIVER. O circuito do ítem V foi montado usando-se OC-17 como o pnp do circuito OU, OC-141 como npn do inversor e OC-80 para alta corrente. Enquanto os dois primeiros transistores responderam bem até pulsos da ordem de 2 micro/segundos, o OC-80 provou não ser utilizável no caso.

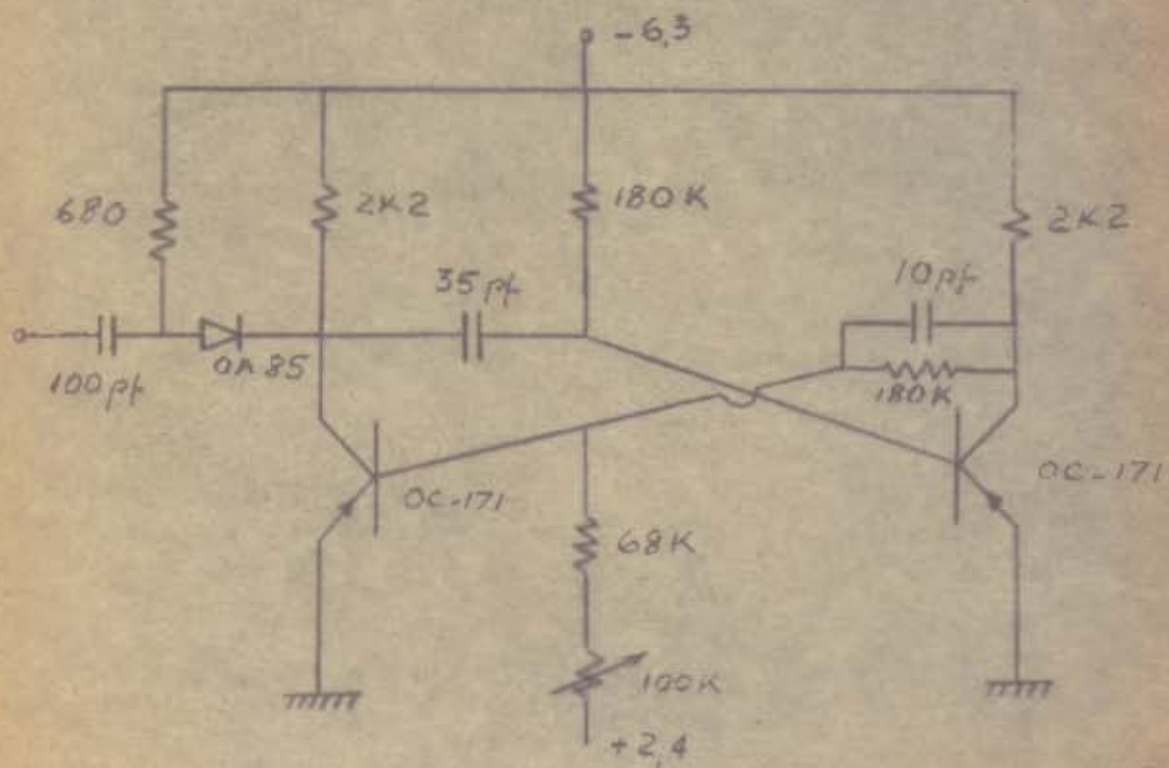
MONO-ESTÁVEL-PB- Realizado com OC-171, forneceu pulso de 6 volts de amplitude, negativo, sendo gatilhado por pulso positivo de 6 volts através diferenciador.

NAND- Realizado com OC-169, corresponde à tabela:

Entrada 1	Entrada 2	Saída
0	0	1
0	1	1
1	0	1
1	1	0



NAND



MONOESTÁVEL PB



IX. SUGESTÕES RELATIVAS À MEMÓRIA

O primeiro e mais grave problema para construção da memória de núcleos magnéticos é o seu alto preço. Junto com esse existem outros problemas de ordem técnica:

O sistema de decodificação para acesso à memória necessita de mais alguma elaboração. Os núcleos usados naquela matriz devem ainda ser projetados. É preciso que se obtenha um manual de características de núcleos magnéticos (os da memória são do tipo 6C1). Isto pode ser conseguido na Philips-Holanda.

O projeto em si pode ser consultado no "IRE Transactions on Electronic Computers, June 1961, no artigo "Matrix Switch and Drive System for a low-cost Magnetic-Core Memory" de Warren A. Christopherson. O professor orientador desse trabalho possui uma cópia.

Os "drivers" devem fornecer correntes muito altas, da ordem de 0,5 A, na forma de pulsos retangulares, de até 2 micro/segundos de largura. Os transistores para este mister, isto é: que dão alta potência com boa resposta às altas frequências têm de ser importados.

Fica ainda a sugestão do Prof. Pacitti, para que se construa, independentemente, uma pequena memória de multivibradores, de umas 30 palavras aproximadamente, de maneira que o computador possa funcionar até que se consiga o sistema de núcleos magnéticos.





# DIAGRAMA DE BLOCOS DO COMPUTADOR DIGITAL I TA II

